

**Programma di ricerca e sviluppo tecnologico volto alla produzione di strumentazione scientifica, attinente al settore "Strumentazione Scientifica"**

**Consuntivo scientifico del secondo anno di attività**

Questo rapporto contiene il consuntivo scientifico del secondo anno di attività (giugno 1999 – giugno 2000) del: "Programma di ricerca e sviluppo tecnologico volto alla produzione di strumentazione scientifica", attinente al settore "Strumentazione Scientifica" del Fondo 5% dell'anno finanziario 1995/96, articolato secondo i seguenti sei Temi di Ricerca:

- 1) Rivelatori al silicio con microelettrodi;
- 2) Microconnessioni verticali ad alta densità (Bump Bonding);
- 3) Rivelatori di particelle ionizzanti a microelettrodi in gas (MSGC);
- 4) Front-end, lettura e trigger per lo spettrometro  $\mu$  di ATLAS;
- 5) Alimentatori per alte tensioni continue;
- 6) Sviluppo dell'elettronica di lettura per una camera a proiezione temporale ad argon liquido (ICARUS).

Come apparirà nei consuntivi dei sei temi, anche il secondo anno di attività ha conseguito risultati significativi, in linea con gli scopi del progetto. Non sono emersi elementi che possano far temere che alcuni obiettivi non possano alla fine essere raggiunti.

Due dei sei temi, quelli relativi ai rivelatori MSGC e ICARUS, hanno terminato il programma di ricerca e sviluppo entro i primi due anni, come previsto, raggiungendo completamente gli scopi di progetto.

Per tre degli altri temi tuttavia si sono manifestati ritardi che si rifletteranno sulla data di completamento dell'attività. I motivi sono diversi per i diversi temi e sono illustrati nel seguito della relazione. In nessun caso tuttavia i problemi evidenziati hanno natura tale da mettere in pericolo il raggiungimento degli obiettivi specificati nell'Accordo di Programma.

Per quanto si può stimare oggi, il completamento dell'attività avverrà con circa un anno di ritardo.

## Rivelatori al silicio con microelettrodi (ditta ST Microelectronics)

Il secondo anno di attività è stato dedicato al miglioramento della tecnologia ed allo sviluppo dei primi prototipi su wafer da 6".

Sono stati messi a punto diversi disegni di maschere compatibili sia con le geometrie rettangolari più tradizionali che con le geometrie a "wedge" tipiche dei dispositivi destinati ad equipaggiare le parti a piccolo angolo degli esperimenti. (figura 1).

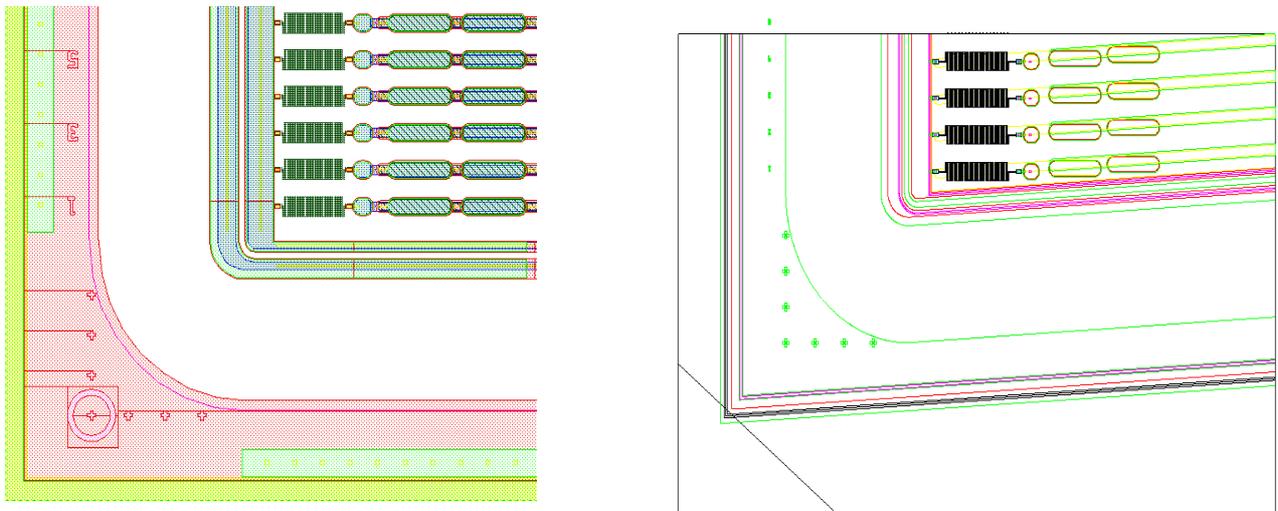


Fig. 1. Disegni per geometrie rettangolari ed a 'wedge'

Nelle serie di prototipi realizzate ancora con wafer da 5" si sono introdotte varianti nella tecnologia di processo che hanno portato ad una migliore controllo dei valori e dell'uniformità delle resistenze in polisilicio. Utilizzando la curva di calibrazione di figura 2 è stato possibile ottenere un miglioramento sistematico dell'uniformità a livelli migliori del 5%.

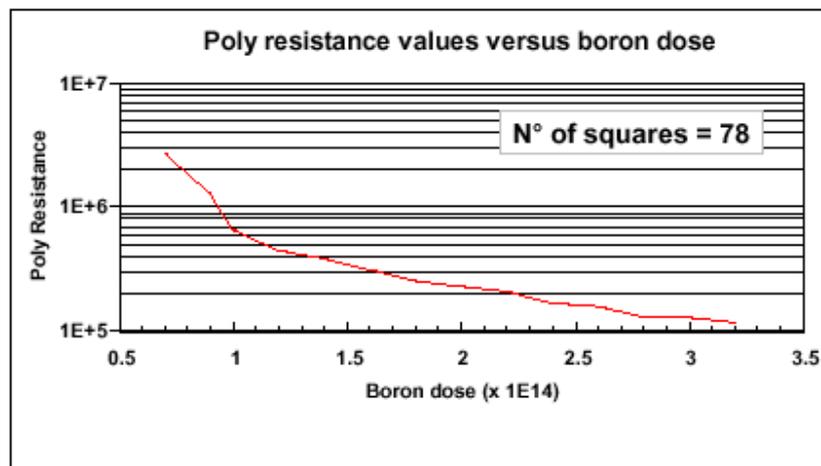


Fig. 2 Curva di calibrazione per l'impiantazione delle resistenze in polisilicio.

Visto l'abbandono, da parte degli esperimenti di LHC, della tecnologia n+ su substrato n, si è deciso di non implementare il batch di prototipi previsto in questa tecnologia. Poiché nel frattempo entrambi gli esperimenti hanno mostrato interesse allo sviluppo di sensori di grande area fabbricati a partire da wafer da 6" si è deciso di produrre un lotto prototipale in questa tecnologia a parziale variante del programma inizialmente previsto.

Il nuovo layout è mostrato in figura 3.

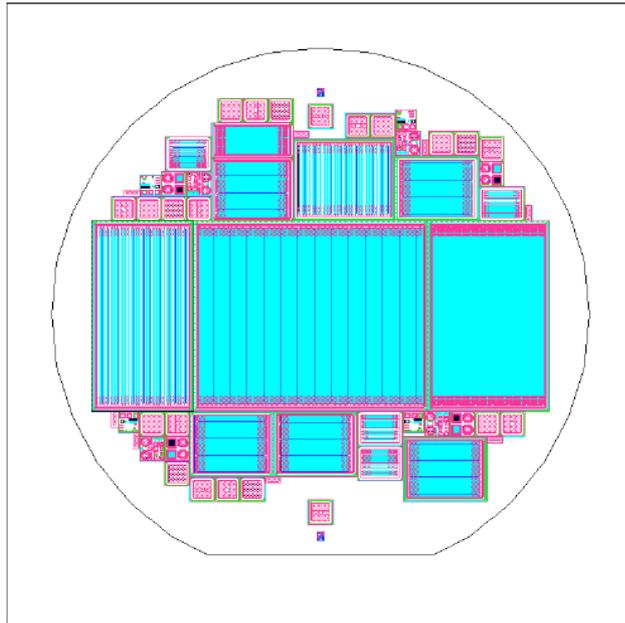


Fig 3. Layout del disegno R320 su wafer da 6".

Il wafer contiene tre grandi strutture centrali (che differiscono per la larghezza del passo delle strisce: 122  $\mu\text{m}$ , 244  $\mu\text{m}$  e 400  $\mu\text{m}$ ) ed una serie di piccoli dispositivi e strutture di test (fotodiodi, gate controlled diodes, strutture Kelvin ecc.) utilizzati per il controllo dei parametri principali del processo.

I substrati utilizzati hanno spessore standard di circa 500  $\mu\text{m}$ , resistività 4  $\text{k}\Omega\text{cm}$  ed orientazione cristallografica  $\langle 1,0,0 \rangle$ . La tecnologia messa a punto per la realizzazione di questi dispositivi ha utilizzato i processi disponibili nella compagnia con una serie di varianti scelte per ottimizzare la qualità complessiva dei dispositivi.

La corrente di leakage allo svuotamento ottenuta in questi dispositivi è risultata pienamente soddisfacente (intorno ai 20  $\text{nA cm}^{-2}$ ). Viceversa le tensioni di rottura dei dispositivi sono risultate ancora distanti dalle specifiche (figura 4).

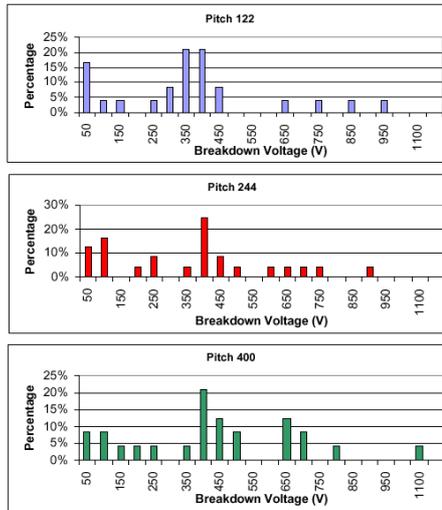


Fig.4 Distribuzione della tensione di breakdown nel lotto prototipale da 6”.

Per quanto riguarda la resa dei condensatori si sono avuti risultati discreti ma non ancora pienamente soddisfacenti (figura 5). Il fatto che in alcuni dispositivi di grande area sia stato possibile ottenere zero difetti è indice di una notevole robustezza della tecnologia in quanto tale ma occorrerà prevedere varianti di processo che tendano a rendere sistematici questi miglioramenti.

Wafer number	No. of bad capacitors			Yield		
	Detector			Detector		
	P_122	P_244	P_400	P_122	P_244	P_400
1	12	1	1	95.3%	99.6%	98.4%
2	2	2	0	99.2%	99.2%	100.0%
3	4	2	0	98.4%	99.2%	100.0%
4	7	8	2	97.3%	96.9%	96.9%
5	12	4	1	95.3%	98.4%	98.4%
6	3	3	1	98.8%	98.8%	98.4%
7	14	0	0	94.5%	100.0%	100.0%
8	10	4	0	96.1%	98.4%	100.0%
9	11	1	0	95.7%	99.6%	100.0%
10	4	3	0	98.4%	98.8%	100.0%
11	12	1	0	95.3%	99.6%	100.0%
12	0	1	0	100.0%	99.6%	100.0%
13	6	1	0	97.7%	99.6%	100.0%
14	12	0	0	95.3%	100.0%	100.0%
15	7	1	0	97.3%	99.6%	100.0%
16	24	2	10	90.6%	99.2%	84.4%
17	1	1	7	99.6%	99.6%	89.1%
18	3	1	0	98.8%	99.6%	100.0%
19	20	0	1	92.2%	100.0%	98.4%
20	23	3	1	91.0%	98.8%	98.4%
21	13	0	0	94.9%	100.0%	100.0%
22	10	0	0	96.1%	100.0%	100.0%
23	27	21	41	89.5%	91.8%	35.9%
24	7	4	1	97.3%	98.4%	98.4%
25	3	2	1	98.8%	99.2%	98.4%
<b>Total batch yield:</b>				<b>12.0%</b>	<b>68.0%</b>	<b>56.0%</b>
<div style="display: flex; align-items: center;"> <div style="width: 15px; height: 10px; background-color: red; margin-right: 5px;"></div> <span>PASSIVATED WAFERS - NO BACK SPUTTERED</span> </div> <div style="display: flex; align-items: center; margin-top: 5px;"> <div style="width: 15px; height: 10px; background-color: blue; margin-right: 5px;"></div> <span>NOT PASSIVATED WAFER</span> </div>						

Figura 5 Numero di condensatori difettosi e relativo yield nei dispositivi centrali del lotto prototipale da 6”.

L'attività di sviluppo di ulteriori prototipi in vista della pre-serie finale sarà pertanto concentrata sul miglioramento sistematico sia delle tensioni di rottura che dello yield dei condensatori in wafer da 6”.

**Microconnessioni verticali ad alta densità (Bump Bonding)** (ditta Alenia Marconi Systems)

Nella tabella sono riassunti gli obiettivi definiti in accordo con l'Alenia Marconi Systems (AMS). Gli obiettivi indicati dai punti 1.1 a 1.6 (escluso 1.4) sono già stati discussi nella relazione relativa al primo anno di attività.

Obiettivi		1 anno				2 anno				3 anno			
	<b>Fase 1</b>												
1.1	Individuazione delle soluzioni tecnologiche in termini di materiali e processi	■											
1.2	Acquisizione dell'attrezzatura necessaria per il bonding e sviluppo della tecnologia.		■	■	■	■	■						
1.3	Messa a punto del processo di taglio per la separazione dei componenti dal wafer			■									
1.4	Individuazione e messa a punto delle procedure di "reworking"					■	■						
1.5	Ottimizzazione del processo di allineamento e saldatura per l'assieme multiplo			■	■								
1.6	Realizzazione prima serie di prototipi A (cella 50x400 µm)				■								
1.7	Realizzazione seconda serie di prototipi B (cella 50x300 µm)								■				
	<b>Fase 2</b>												
2.1	Ottimizzazione delle procedure finalizzata alla produzione di serie									■			
2.2	Realizzazione della preserie										■	■	■

Il secondo anno di attività ha riguardato la messa a punto del processo industriale e contemporaneamente lo studio delle interfacce meccaniche ed elettriche nell'apparato finale.

Per quanto riguarda la produzione industriale i progressi più importanti sono stati:

- l'acquisizione e la messa in opera, da parte di AMS, della macchina per il Flip-Chip semiautomatico (Karl-Suss FC6) (punto 1.2)

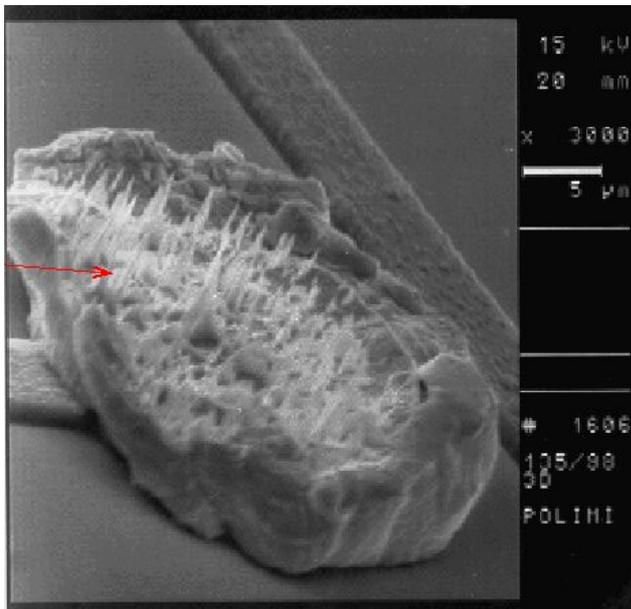
Ciò ha consentito di trasferire l'intera catena di produzione dei moduli pixel per l'esperimento ATLAS nei locali della AMS e con personale della AMS (prima l'operazione di flip-chip era fatta nella sezione INFN di Genova con personale INFN, una soluzione che non poteva funzionare in produzione). I prototipi così prodotti sono stati provati dalla collaborazione ATLAS in laboratorio e sui fasci di test al SPS del CERN con risultati soddisfacenti sia in termini di rendimento che di caratteristiche di funzionamento.

Uno studio dettagliato di 3 moduli (per un totale di  $10^5$  canali) si può trovare in:  
[http://www.ge.infn.it/ATLAS/PixelWeek/Presentations/00-06\\_CG\\_BumpYield/00-06\\_CG\\_BumpYield.pdf](http://www.ge.infn.it/ATLAS/PixelWeek/Presentations/00-06_CG_BumpYield/00-06_CG_BumpYield.pdf)

e si può riassumere dicendo che la probabilità di canali mancanti a causa del bonding è di  $\sim 2 \cdot 10^{-5}$ , mentre la probabilità di avere bump in corto è di  $\sim 10^{-3}$ .

- lo studio del processo di reworking (punto 1.4).

L'indio essendo malleabile, si può considerare di "strappare" da un modulo uno dei chip di elettronica, quando questo risultasse non funzionante, e sostituirlo con uno funzionante. Poiché un modulo è costituito da 16 chip, il rendimento del modulo dipende dalla sedicesima potenza del rendimento del chip. Nonostante questo sia controllato nelle diverse fasi della fabbricazione è bene prevedere una procedura di rilavorazione nel caso il rendimento dei moduli risultasse insoddisfacente.



Lo studio è stato fatto a Milano (Caccia, Alimonti) in collaborazione con AMS che ha fabbricato gli assiemati necessari per le prove di strappo.

Nella fotografia al microscopio elettronico si vede un bump sul sensore dopo lo strappo eseguito alla temperatura appropriata e con forza applicata perpendicolare al piano del chip.

Si nota che parte dell'indio è rimasto sul sensore in maniera abbastanza uniforme, questo consente di eseguire un secondo flip-chip.

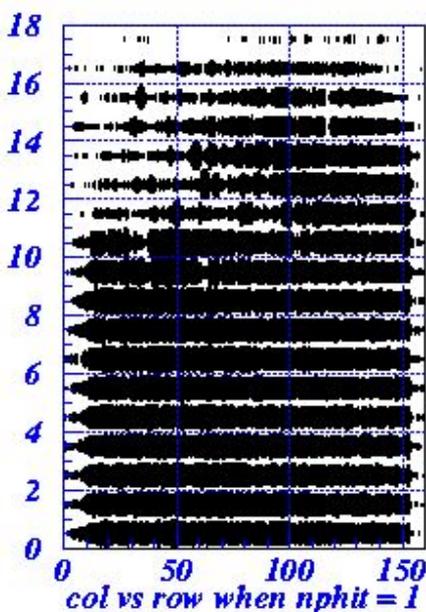
Si nota inoltre che l'indio è stato "stirato" uniformemente sulla superficie del bump (picchi di indio indicati dalla freccia).

Le prove eseguite hanno consentito il progetto di una macchina destinata a strappare i chip in maniera

ottimale. Questa macchina verrà realizzata nel terzo anno di attività.

E' stata anche provata la fase finale della operazione, ovvero il flip-chip di un chip nuovo su un sensore da cui era già stato strappato un chip. Questo assieme è stato provato sul fascio H8 del SPS del CERN e ha dato risultati soddisfacenti.

La figura illustra la risposta cumulata dei vari canali del rivelatore irraggiati uniformemente. Una parte del rivelatore non è ben collegata (angolo in alto a sinistra), ma nel resto del rivelatore l'efficienza misurata è del 97%. Questo dice che il metodo del reworking funziona e obiettivo del terzo anno di attività è quello di ottimizzarlo.



- Ulteriori sviluppi (punto 1.7).

Il progetto ATLAS pixel si è standardizzato su pixel di 400  $\mu\text{m}$  di lunghezza. L'unica parte del rivelatore in cui pixel di 300  $\mu\text{m}$  di lunghezza sono necessari è lo strato più interno (o  $b_{\text{layer}}$ ), che costituisce circa il 10% dell'area sensibile totale. Si è comunque riconosciuto che ridurre il passo dei bump da 400  $\mu\text{m}$  a 300  $\mu\text{m}$  non è un problema data la tecnica di deposizione messa a punto. E' risultato invece molto più critico ridurre lo spessore del materiale per non deteriorare le misure eseguibili con il calorimetro elettromagnetico di ATLAS.

La parte attiva in un chip di elettronica è confinata in pochi micron vicini alla superficie, il resto del silicio funge da supporto meccanico. Si è quindi studiato come assottigliare i chip di elettronica da 600  $\mu\text{m}$  a 150  $\mu\text{m}$ . Poiché non è possibile maneggiare wafer da 6" spessi 150  $\mu\text{m}$  (mentre è possibile maneggiare chip di 1  $\text{cm}^2$  spessi 150  $\mu\text{m}$ ) è stato necessario sviluppare il processo di assottigliamento dei wafer dopo che i bumps vi erano stati depositati.

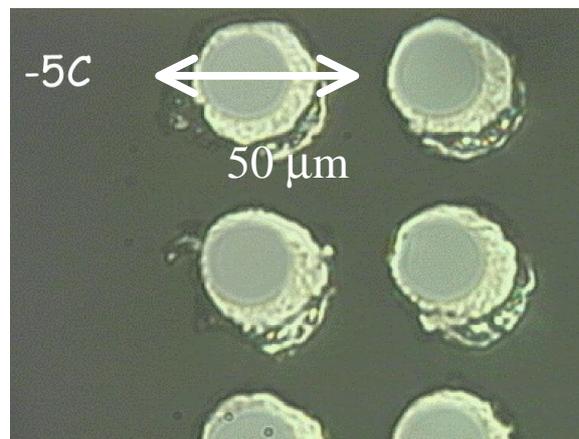
L'operazione di assottigliamento avviene presso ditte specializzate e AMS ha dovuto mettere a punto una tecnica di protezione dei bumps che fosse compatibile con la tecnica di assottigliamento. Questo è stato fatto in maniera soddisfacente e 4 moduli sono stati fabbricati con elettronica assottigliata a 150  $\mu\text{m}$ . Questi moduli sono stati provati su fascio e hanno dato risultati identici ai moduli non assottigliati, come si può vedere nella pagina:

<http://www.ge.infn.it/ATLAS/Electronics/home.html>

Per quanto riguarda le interfacce meccaniche ed elettriche con il sistema finale si è lavorato su due campi:

- Studi della resistenza dei bump alle deformazioni meccaniche indotte dal sistema di supporto.

I moduli pixel debbono lavorare a temperatura di  $-5\text{C}$ , ma sono montati sui supporti meccanici a temperatura ambiente. Forze di taglio dovute alle diverse espansioni termiche del supporto e dei moduli devono essere perciò considerate. Naturalmente gli spostamenti dovuti al disaccordo dei CTE saranno minimizzati, però non possono essere annullati perché ci sono anche altre condizioni al contorno. In sintesi ci si aspetta una differenza di espansione massima di circa 1  $\mu\text{m}$ .



Sono state fatte prove con assiemi realizzati in vetro pirex per poter osservare al microscopio gli effetti di dilatazione termica. Nella foto allegata, presa a  $-5\text{ C}$ , il modulo in vetro è incollato sul materiale (carbon-carbon) scelto per il supporto finale. Si è perciò potuto verificare che variazioni termiche che determinano spostamenti fino a  $5\text{ }\mu\text{m}$  non provocano danni ai bumps.

- Studio della interferenza elettromagnetica tra sensore e elettronica.

L'altezza dei bump AMS è di circa  $6\text{ }\mu\text{m}$  (per parte), il che dà, una volta applicata la pressione necessaria per stabilire la connessione al momento del flip-chip, una distanza di circa  $7\text{ }\mu\text{m}$  tra l'elettronica e il sensore.

L'accoppiamento capacitivo tra i bus che trasportano i segnali digitali e il sensore è determinato da questa distanza. Se questa distanza è inferiore ai  $6\text{ }\mu\text{m}$  si determinano instabilità nel funzionamento del rivelatore.

E' quindi stato necessario operare su due fronti:

- a) il disegno della elettronica è stato modificato per minimizzare l'accoppiamento dei segnali digitali
- b) la tecnica di deposizione è stata ottimizzata per aumentare l'altezza dei bumps (da  $6$  a  $8\text{ }\mu\text{m}$ ).

Al termine del secondo anno di attività si è reso necessario abbandonare la tecnologia rad-hard DMILL per la produzione di chip di elettronica. La ragione dell'abbandono è stato il rendimento troppo basso dei chip realizzati con questa tecnologia.

Ciò ha implicato il trasferimento del disegno nella tecnologia Deep Sub Micron, anch'essa radiation hard, e di conseguenza un ritardo di quasi un anno nel programma scientifico.

E' perciò previsto che questo tema del programma sia completamente concluso nel dicembre 2002.

## Rivelatori di particelle ionizzanti a microelettrodi in gas (MSGC) (ditta Laben)

L'obiettivo fondamentale del programma MSGC è stato lo sviluppo della tecnologia necessaria alla produzione di rivelatori del tipo MSGC/MGC di grande area ( fino a  $25 \times 10 \text{ cm}^2$ ) e la ingegnerizzazione della produzione di questi rivelatori su vasta scala (fino a 10.000 unità), con costi unitari contenuti.

A tale scopo Laben, industria italiana ad alta tecnologia del gruppo Finmeccanica, ha costituito con CETEV un team industriale avente come capofila Laben con il compito di curare e coordinare i rapporti fra le singole realtà industriali e l'INFN.

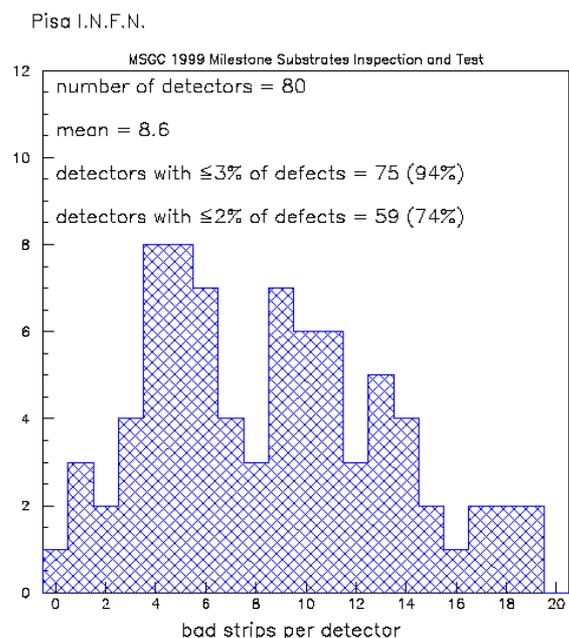
L'attività si è sviluppata in due fasi distinte, già previste in sede di stesura del progetto:

1) Messa a punto della tecnologia del sensore (rivelatori a microelettrodi in gas segmentati in strisce miniaturizzate) capace di operare in presenza di elevate dosi di radiazione e di eventi ad alta ionizzazione specifica. I risultati di questa fase sono stati descritti nel consuntivo del primo anno di attività.

2) Ingegnerizzazione della produzione su larga scala attraverso la realizzazione di una preserie di ~100 rivelatori MSGC per qualificare i processi produttivi, verificare le rese e quantificare i costi unitari.

### II- Ingegnerizzazione della produzione su vasta scala (1999-2000) :

Strumento fondamentale per lo studio della ingegnerizzazione su vasta scala della produzione di MSGC di grande area è stato la produzione di una preserie di circa 100 rivelatori sostanzialmente identici a quelli previsti per la produzione finale (10.000 esemplari). A questo scopo Cetev ha prodotto 100 substrati utilizzando i processi e le tecnologie messe a punto nella prima fase del progetto, mentre Laben ha assemblato 100 moduli di rivelatori, comprensivi di gas box, finestra sottile e wire bonding alla elettronica di lettura.



La fig. 1 a lato mostra i risultati della ispezione ottica ed elettrica dei substrati Cetev, indicante chiaramente il raggiungimento del target di resa ipotizzato di circa 80%.

La figura 2 e la figura 3 nella pagina seguente mostrano rispettivamente una immagine del modulo di rivelatore assemblato dalla Laben e il set-up di una delle due box di 32 moduli provenienti dalla preserie, utilizzati per una estesa ed approfondita campagna su fascio di test al PSI di Villigen (Svizzera).

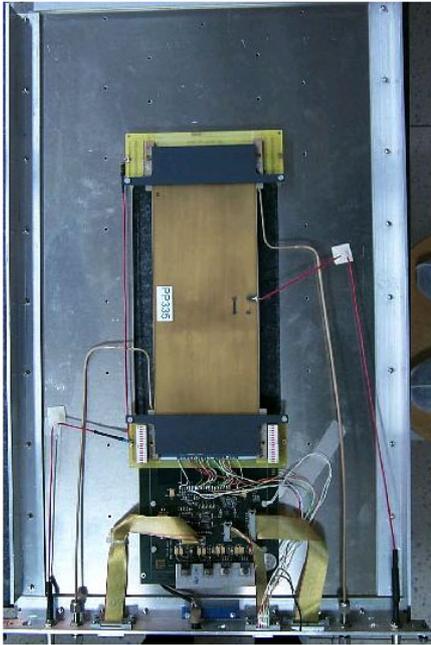


Figura 2

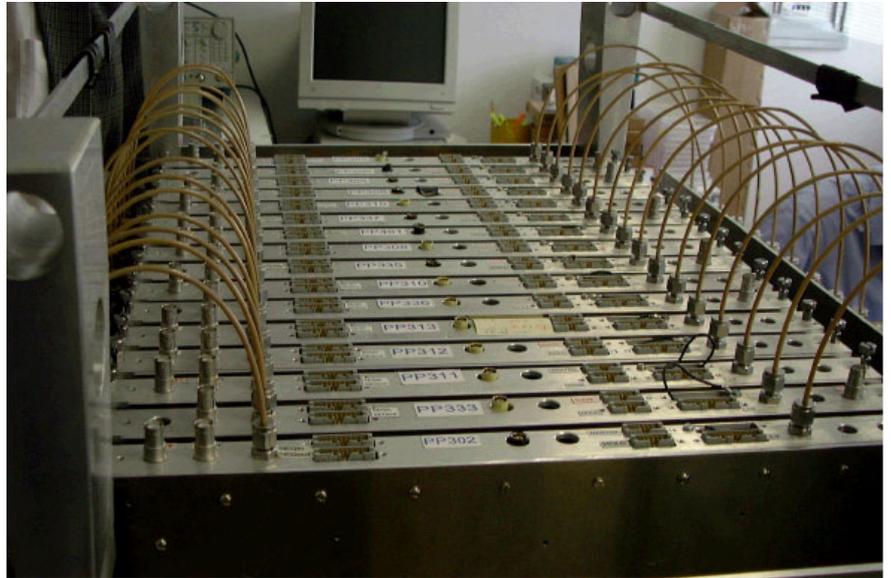


Figura 3

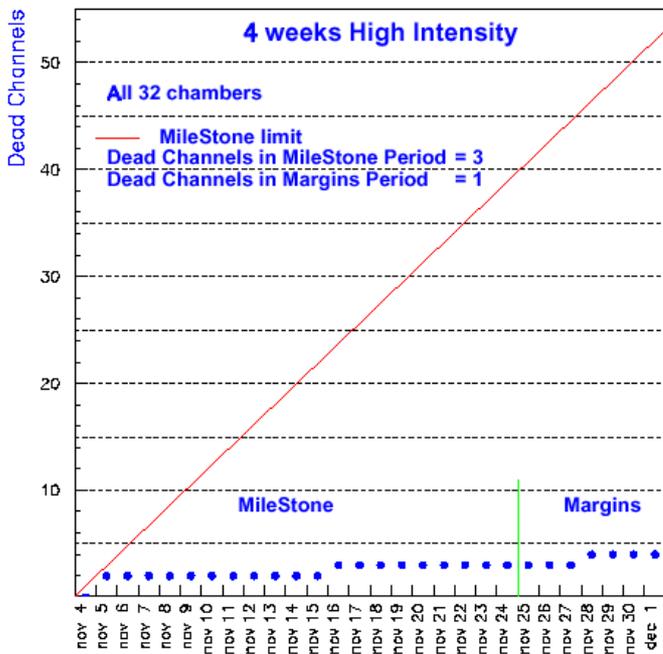


Figura 4

La figura 4 a lato mostra il risultato fondamentale di questo test di sopravvivenza: la storia della mortalità delle strisce in funzione del tempo. Questo risultato è migliore di un fattore 20 rispetto alle richieste della cosiddetta milestone CMS, che garantisce la sopravvivenza dei rivelatori in buono stato di funzionamento durante tutto il periodo di attività, circa 10 anni, degli esperimenti a LHC.

Sulla base di questi risultati la tecnologia MSGC è stata dichiarata completamente matura ed adatta alle condizione della sperimentazione ad LHC. Il positivo passaggio di questa milestone può considerarsi anche il completamento del progetto 5 % MSGC.

## **Front-end, lettura e trigger per lo spettrometro $\mu$ di ATLAS** (ditta CAEN SpA)

Il progetto ha per scopo la realizzazione dell'elettronica per il sistema di trigger di primo livello di muoni ed il read-out del rivelatore RPC, della parte centrale ("barrel") dell'esperimento ATLAS.

L'attività ha avuto inizio in ritardo, nei primi mesi dell'anno 1999. Il ritardo è dovuto essenzialmente a due ragioni. I calcoli aggiornati del livello di radiazione a cui è sottoposto il rivelatore di muoni, impongono che l'elettronica su di esso installata sia di tipo tollerante alle radiazioni. Ciò ci ha indotto ad attendere che sul mercato fosse disponibile un processo di tipo "deep-submicron", per lo sviluppo del nostro chip matrice di coincidenze, che fosse adeguato alle nostre esigenze tecniche e di tolleranza alle radiazioni ed accessibile con le risorse finanziarie a disposizione.

Inoltre, la rapida evoluzione della tecnologia nel settore della trasmissione dati su fibra ottica, ci ha indotto, anche in questo caso, ad attendere la disponibilità di dispositivi che, date le loro prestazioni, ci consentissero di semplificare il progetto unificando in un'unica connessione la trasmissione veloce dei dati di trigger e quella lenta dei dati di read-out.

Essendo i dispositivi di cui sopra due elementi chiave nella definizione del progetto, siamo stati costretti a ritardare l'inizio dell'attività in attesa che questi fossero disponibili. Ciò ha prodotto un ritardo non recuperabile, a causa del quale verrà chiesto all'Unità di Coordinamento di estendere di un anno la durata del progetto.

Il sistema di trigger si basa sulla lettura di segnali provenienti da un rivelatore dedicato, Resistive Plate Chamber (RPC) e sulla loro elaborazione in speciali processori locali, chiamati PAD, ubicati sul rivelatore stesso. I PAD sono di due tipi: quelli dedicati alla selezione di particelle con basso momento trasverso, Low Pt, e quelli dedicati alla selezione di particelle con alto momento trasverso, High Pt. Anche se fisicamente i due PAD sono uguali, dal punto di vista logico svolgono funzioni diverse. Nel sistema di trigger ci sono in totale 416 processori di Low Pt e altrettanti di High Pt.

Il PAD di Low Pt (Fig. 1) trasferisce i risultati della propria elaborazione a quello di High Pt (Fig. 2 a pagina seguente), che elabora l'informazione locale complessiva di trigger e la trasferisce, attraverso un link ottico, a dei moduli di elettronica ubicati in sala di controllo. I moduli sono: il Ricevitore Ottico, la Logica di Settore ed il Read-Out Driver (ROD). Ogni terna di tali moduli mette insieme l'informazione di trigger di 1/32 dell'apparato e la trasferisce poi al Processore Centrale di trigger ubicato nella stessa sala di controllo.

L'algoritmo di trigger e gran parte delle operazioni ad esso accessorie sono gestite dal chip Matrice di Coincidenze (CM), che dovrà essere appositamente sviluppato. Esso sarà realizzato in tecnologia "deep-submicron" 0.18 micron e opererà ad una frequenza di 320 MHz. Ogni processore PAD ospiterà quattro chip CM.

L'attività ha avuto inizio con lo studio e realizzazione, dal solo punto di vista degli ingombri meccanici, di un prototipo di PAD contenente quattro matrici di coincidenza (contenitore, connessioni di ingresso e uscita, possibili lay-out, dimensioni delle schede, dissipazione termica,

ecc.). Il disegno globale del progetto è proseguito successivamente. In esso si è tenuto conto di alcune modifiche al sistema di front-end degli RPC, relative al cablaggio ed alla distribuzione dei segnali (scheda splitter di cui parleremo avanti). La scatola che contiene il PAD, oltre agli elementi di cui sopra, dovrà alloggiare tutti i circuiti di somma dei segnali, una scheda di gestione dei bus seriali di servizio I2C, CAN e JTAG, la scheda di trasmissione ottica dei dati, ed il sistema di ricezione e distribuzione delle temporizzazioni, TTCRX (è previsto anche il raffreddamento della box, mediante una serpentina all'interno della quale circola del liquido).

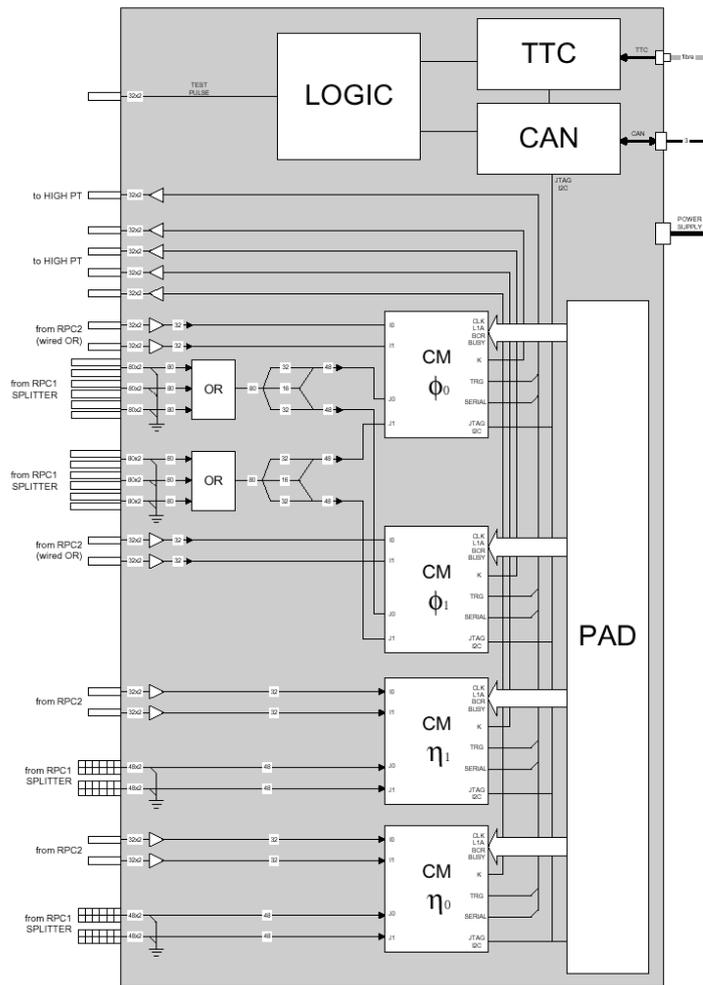


Figura 1: schema a blocchi della low Pt PAD

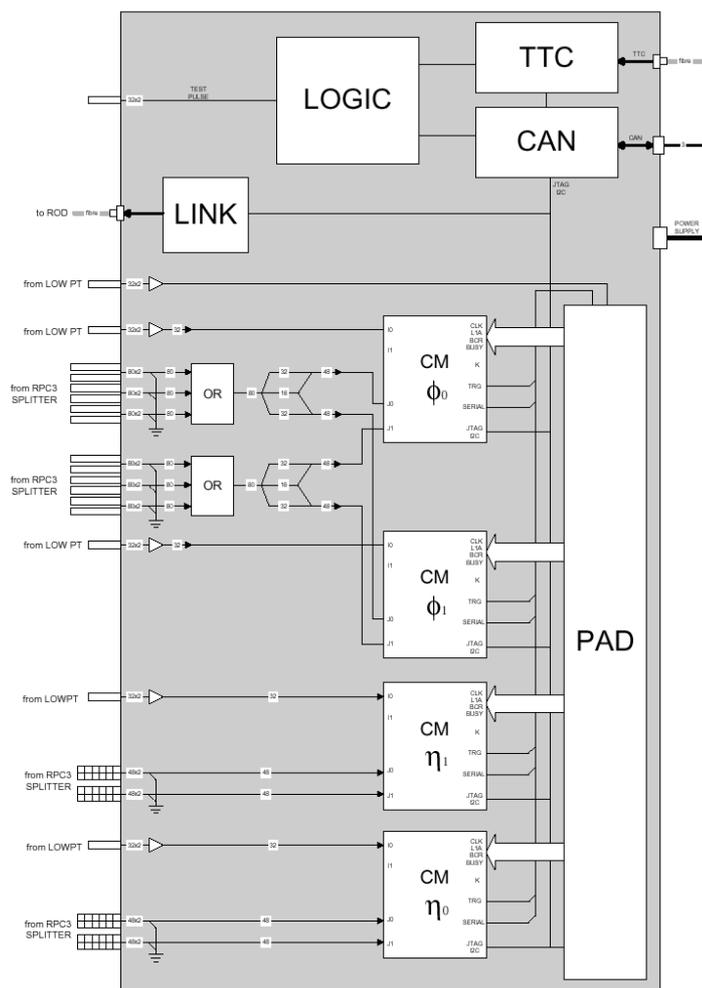


Figura 2: schema a blocchi della high Pt PAD

Lo schema di lay-out che rappresenta la base di partenza per la realizzazione del PCB, è riportato in Fig. 3. Sulla scheda madre vengono alloggiato sette schede figlia; quattro contengono le matrici di coincidenza, due per le viste  $\eta$  e due per le viste  $\Phi$ . Le altre tre schede contengono il trasmettitore del link ottico, la gestione del bus di controllo seriale CAN ed i circuiti di ricezione del sistema di distribuzione delle temporizzazioni TTC (Timing and Trigger Control). E' da notare l'elevatissimo numero di connessioni esterne gestite da un PAD.

La scheda splitter implementa la parte front-end del progetto e di essa è stato studiato e definito in dettaglio soltanto lo schema funzionale. Il compito di tale scheda è quello di ricevere i segnali dal rivelatore RPC e distribuirli ai processori PAD per l'esecuzione dell'algoritmo di trigger. I segnali provengono dai rivelatori posti in entrambe le proiezioni rispetto alla direzione del fascio di particelle, quella parallela  $\Phi$  e quella perpendicolare  $\eta$ .

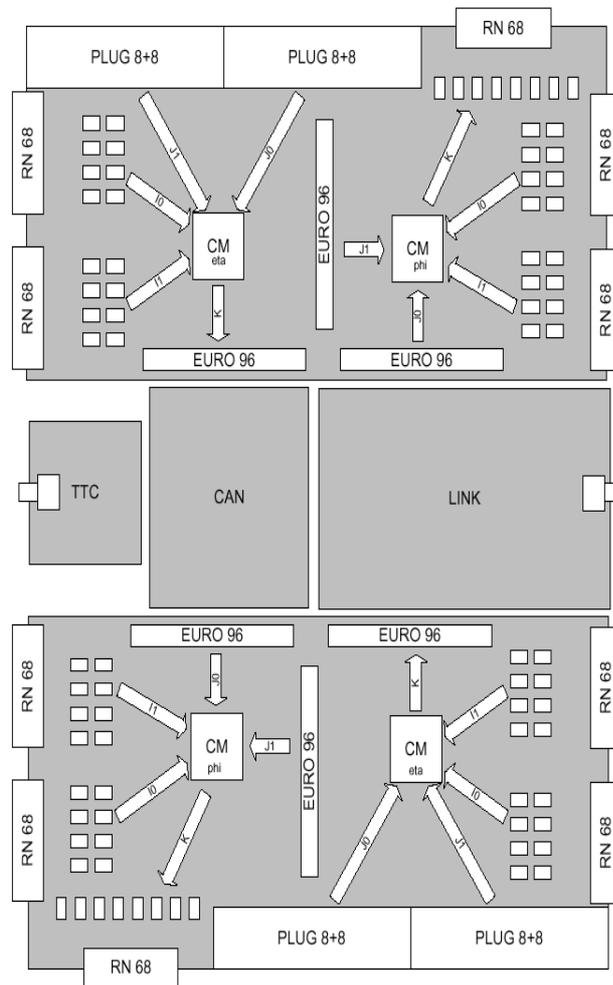


Figura 3: lay-out base della PAD

Lo schema di base della scheda splitter è rappresentato in Fig. 4. Il progetto fa uso di due schede splitter, una per il Low Pt ed una per l'High Pt. Anche se le due schede sono funzionalmente uguali esse differiscono per dei dettagli tecnici implementativi. Le schede splitter, come le schede PAD, saranno contenute in scatole metalliche fissate sopra il rivelatore RPC.

Altro aspetto significativo e di fondamentale rilevanza per il buon funzionamento del progetto, visto l'elevato numero di canali di elettronica connessi ai rivelatori RPC (circa 400.000), è stato lo studio dettagliato della ricezione dei segnali e del loro invio, attraverso le schede PAD, alle matrici di coincidenza.

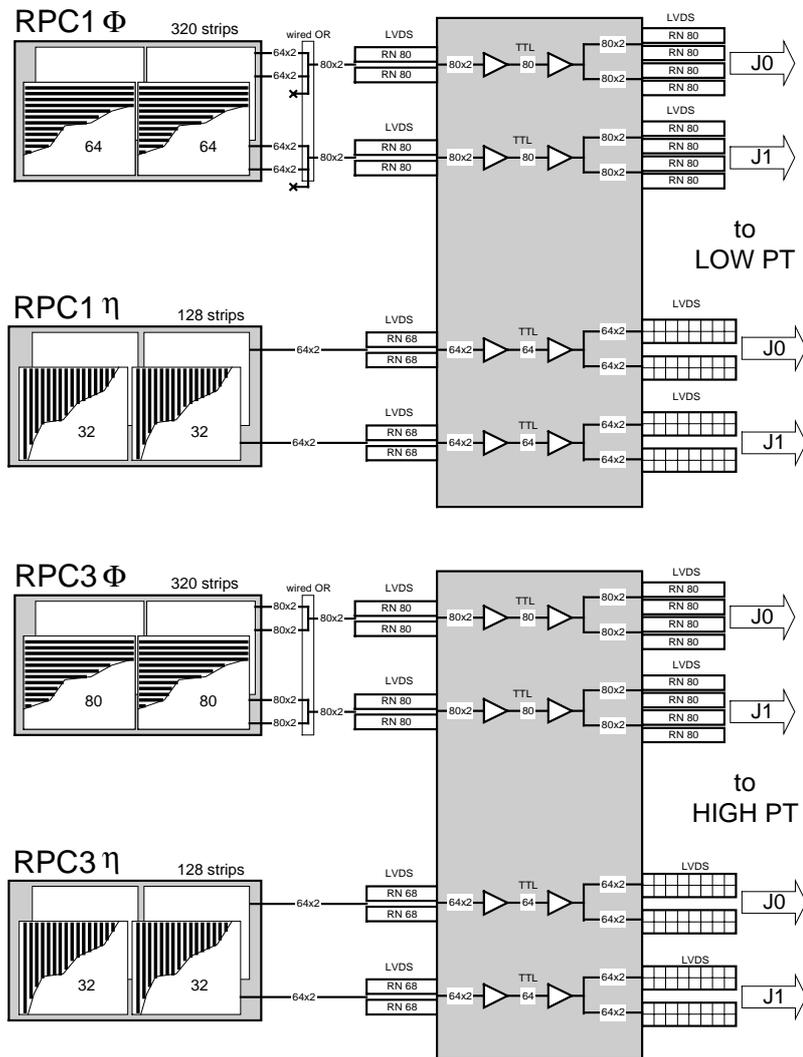


Figura 4: schema a blocchi dello Splitter

La figura 5 riporta i percorsi fatti dai segnali provenienti dalle schede di front-end degli RPC verso le matrici di coincidenza. I segnali provenienti dagli RPC sono di tipo segnale-massa, mentre alle uscite delle splitter si hanno segnali differenziali LVDS (Low Voltage Differential Signal).

Data la natura molto tecnica dell'attività, difficilmente spiegabile in dettaglio in questo contesto, per ulteriori approfondimenti si rimanda alla documentazione che segue, prodotta dalla ditta CAEN.

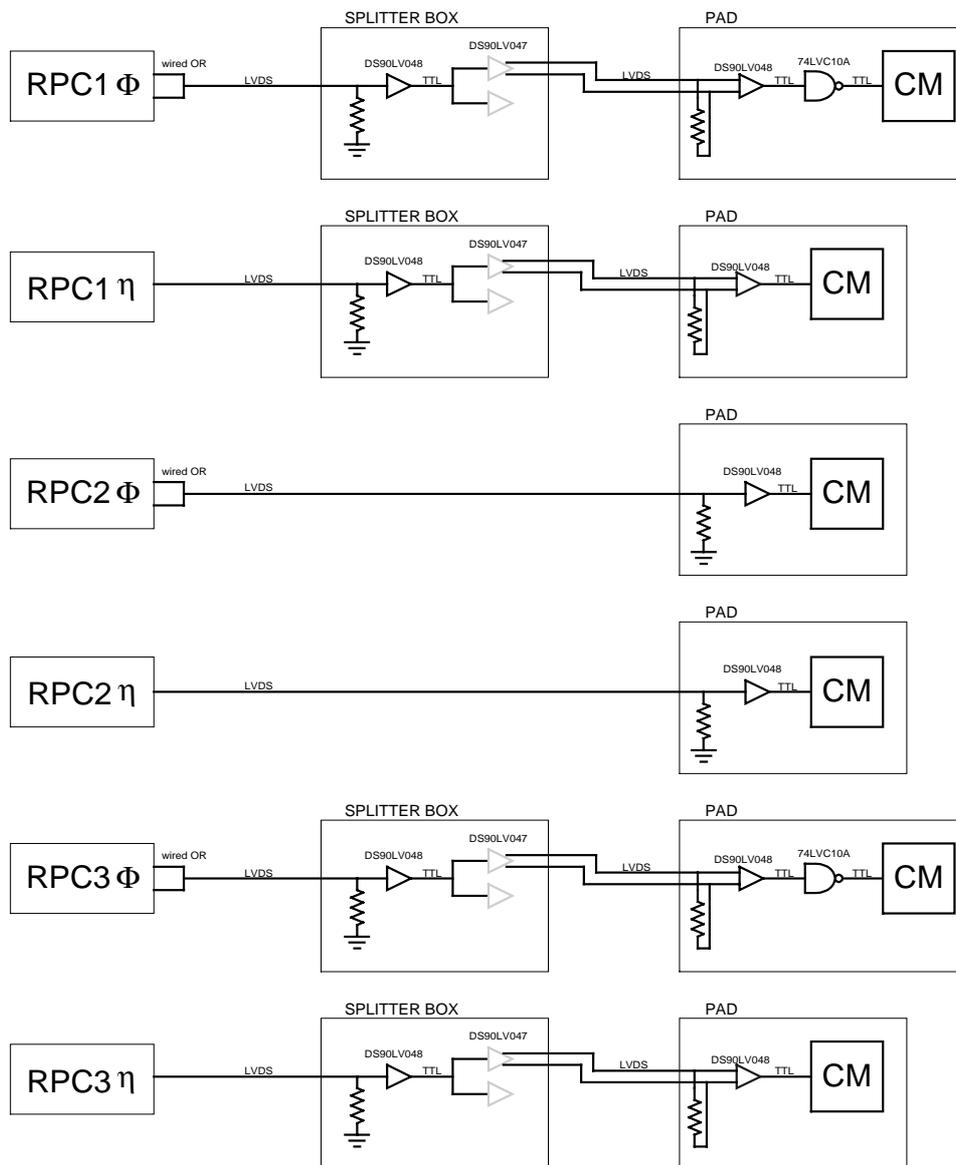


Figura 5: schema di somma ricezione e trasmissione dei segnali RPC

- ATLAS: ingegnerizzazione di 4 CM +PAD, rapporto di C. Tintori e A. Dell'Immagine, 30/11/1998.
- ATLAS: pianificazione temporale, rapporto di C. Tintori e A. Dell'Immagine, 30/7/1999.
- ATLAS: Coincidence Matrix + PAD Logic, rapporto di C. Tintori e L. Bancallari, 07/9/1999.
- ATLAS: Coincidence Matrix + PAD Logic, rapporto di C. Tintori e L. Bancallari, 17/01/2000.
- ATLAS: Coincidence Matrix + PAD Logic, rapporto di C. Tintori, 02/02/2000.
- ATLAS: Coincidence Matrix + PAD Logic, rapporto di C. Tintori e A. Romboli, 21/06/2000.

## Alimentatori per alte tensioni continue (ditta CAEN SpA)

### Applicazione per il rivelatore a deriva per $\mu$

Con riferimento alle caratteristiche definite nel rapporto di attività del 1° anno, il prototipo di sistema, consistente di un sistema SY1527 (MF), un modulo primario (PCM) con 4 canali primari ed un modulo periferico (MCM) con 12 Macro canali, è stato consegnato da CAEN a fine settembre 1999.

Il MF è un crate standard di produzione CAEN, interfacciato direttamente a Internet e quindi gestibile da un qualunque PC anche in modo remoto.

Il sistema è corredato di un software in Labview per gestione dei moduli, immagazzinamento dati di monitor e display che è stato usato per l'acquisizione dati in tutti i test eseguiti .

Il modulo primario PCM consta di 4 canali complessi identici e indipendenti, composti ciascuno di un canale a +4 kV, uno a -2 kV e uno a +12 V, tutti aggiustabili entro ~2%, e riferiti ad un ritorno flottante.

L'esperienza sul sistema prototipale ha portato all'introduzione di 5 elementi di regolazione MOSFET in serie in ciascun canale HV del modulo periferico, con dispositivi di protezione VDR in parallelo a ciascun MOSFET.

Ciascuno canale complesso fornisce le tensioni primarie e una connessione seriale ad un modulo periferico MCM equipaggiato da 12 macrocanali.

Il PCM da un lato è connesso alle risorse del sistema, dall'altro è dotato delle risorse necessarie a gestire il funzionamento degli MCM, amministrando il traffico di comunicazione dati e comandi. In particolare esso opera un rinfresco ciclico di tutti i registri del MCM ogni ~ 10 s, al fine di correggere in tempo reale l'effetto di eventi singoli di commutazione indotti nel modulo periferico dalla radiazione.

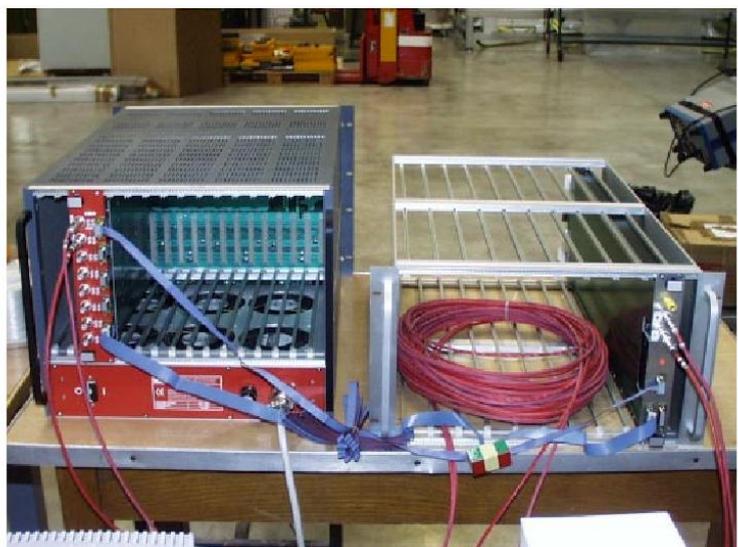
In ciascun MCM risiede il firmware strettamente necessario al monitoraggio dei parametri di stato, tensioni e correnti del modulo, nonché all'interfacciamento con il PCM cui è collegato. Tale firmware opera un rinfresco ciclico dei parametri di funzionamento ogni ~ 2 s, derivandoli dai registri d'ingresso gestiti dal PCM. I circuiti interni di alimentazione comprendono una limitazione di corrente tale da rendere non distruttivi eventuali eventi di latch-up. La corrente massima di corto circuito per ciascuna uscita è limitata internamente a 100 mA.

Ogni MCM deriva internamente i +2 kV dai +4kV primari.

In ciascun macrocanale le quattro tensioni 2x + 4 kV (A) , +2 kV (S), -2 kV (C) possono essere regolate indipendentemente da un minimo di ~30 V a un massimo prossimo ai valori nominali di +4 kV, +2 kV, -2 kV.

La figure a lato mostra la vista posteriore del sistema prototipale completo.

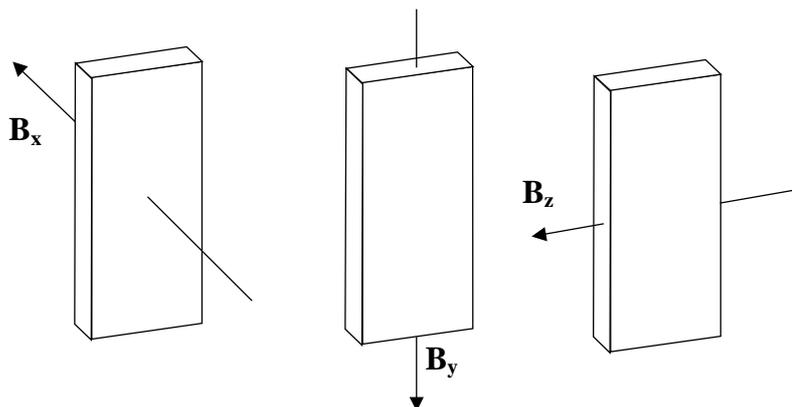
**Complete HV System prototype – rear view**



## Test in campo magnetico

Un test di tolleranza al campo magnetico è stato eseguito sottoponendo il modulo periferico MCM ad un campo fino a 5kgauss, nelle tre orientazioni possibili del campo, per un totale di 20 ore presso il magnete della linea di fasci H2 al CERN di Ginevra il 6 giugno 2000. Non è stata rilevata alcuna alterazione nelle prestazioni del modulo stesso.

La figura seguente mostra le tre giaciture del modulo rispetto a B:



Le condizioni dei macrocanali erano le seguenti:

- 1) MC 0÷3 ⇒ +3850 (A), +1950 (S), -1950 (C) con carico di 500 M $\Omega$ , 500 M $\Omega$ , 200 M $\Omega$
- 2) MC 4÷7 ⇒ +3850 (A), +1950 (S), -1950 (C) a vuoto
- 3) MC 8÷11 ⇒ +40 (A), +40 (S), -40 (C) a vuoto

Il caso 3) realizza le condizioni più gravose per gli elementi di regolazione poiché si trovano ad avere la massima caduta di tensione ai capi.

La durata del test è stata di 9 ore per l'orientazione  $B_x$ , 4,5 ore per  $B_y$  e 5 ore per  $B_z$ .

Escludendo la fase iniziale di riscaldamento dopo l'accensione, durante tutta la durata del test le letture di tensione e corrente sono rimaste identiche entro 1 least count pari a 20 nA per i tre gruppi di macro canali.

## Test con neutroni

Il modulo MCM prototipale con dispositivi di regolazione MOS è stato sottoposto a test con il fascio di neutroni a largo spettro p(65)+Be (fino a 65 MeV), presso la facility CYCLONE – UCL a Louvain la Neuve il 27/06/00, fino ad una fluenza di  $10^{12}$  n/cm<sup>2</sup> pari a 100 volte quella stimata in 10 anni di funzionamento di LHC alla massima luminosità, sulle balconate alla periferia del cilindro di CMS.

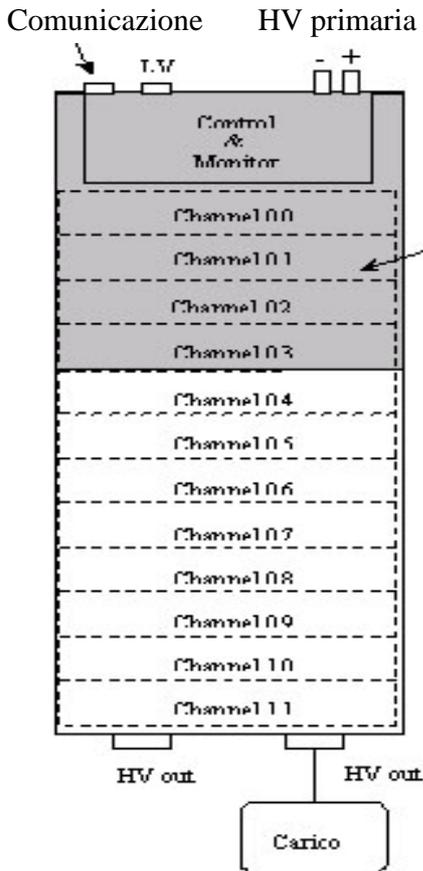
Durante tutta la durata del test le tensioni, le correnti e i parametri di stato erano registrati in un file ogni 10s. L'area irraggiata era 25x25 cm<sup>2</sup> in modo da coprire la zona del Controllore locale e dei primi 4 macro canali (0÷3).

All'inizio del test le condizioni erano fissate come segue:

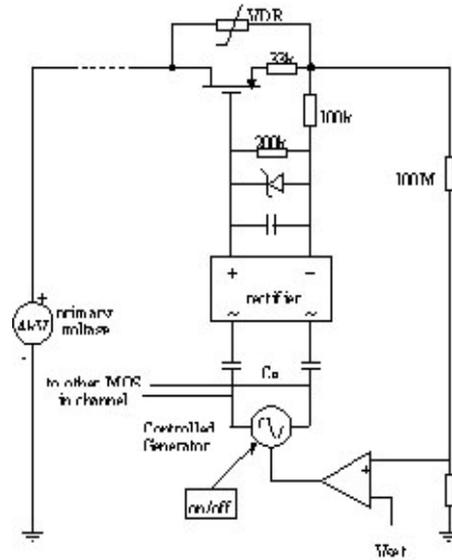
- Mch 0 ÷ 1 @ +3800V (A), +1950V (S), -1750V (C) carico 0.5 GΩ, 0.5 GΩ, 0.5 GΩ, 0.2 GΩ
- Mch 2 ÷ 3 @ +40V, +40V, -40V carico 0.5 GΩ, 0.5 GΩ, 0.5 GΩ, 0.2GΩ
- Mch 4 ÷ 7 @ +3800V (A), +1950V (S), -1750V (C) a vuoto
- Mch 8 ÷ 1 @ +40, +40, -40 a vuoto

I valori di regolazione delle tensioni, come lo stato di accensione sono stati variati durante il test per meglio individuare i canali difettosi e per controllare la funzionalità del monitoraggio.

Nelle figure seguenti sono riportati schematicamente il layout del modulo con evidenziata la zona irraggiata direttamente, e rispettivamente lo schema di principio di una cella di regolazione.



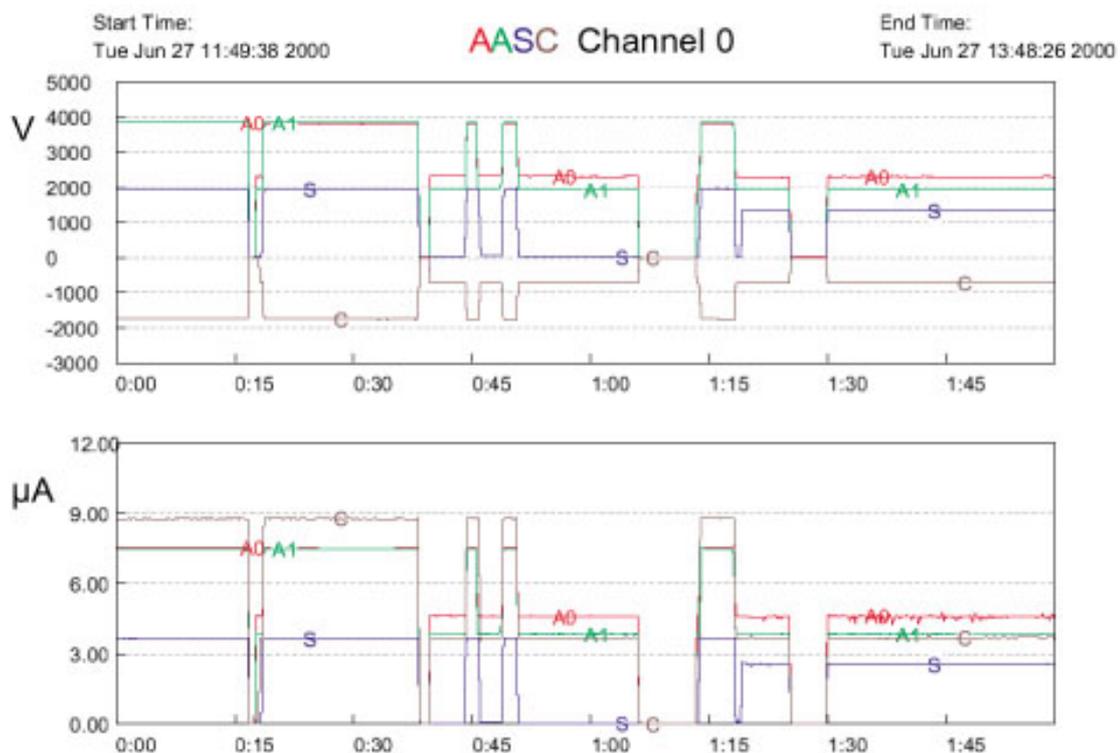
Layout del modulo MCM



Cella anodica di regolazione del modulo

Il test ha mostrato che tutta l'elettronica di controllo e monitor residente resiste al flusso di test ed è in grado di recuperare in tempo reale eventuali eventi singoli di commutazione (SEU) nei registri. Durante tutto il tempo di test si è verificato un unico evento in cui si è persa la comunicazione tra PCM ed MCM, probabilmente dovuto ad un evento di SEU o di latch-up nel chip del protocollo di comunicazione. Il controllo è stato ripristinato spegnendo e riaccendendo il PCM; Nella prossima versione si introdurrà un controllo nel software del PCM per gestire automaticamente questo tipo di eventi. L'elettronica di controllo e monitor è quindi adeguata ad un possibile uso nel rivelatore di MU-Barrel dell'esperimento CMS.

Tutti i dispositivi MTP-3N120 VMOS di regolazione sono stati danneggiati irrimediabilmente dal test, dimostrando dai primi minuti di irraggiamento un deterioramento nella capacità di regolare le tensioni d'uscita. A titolo di esempio, la figura seguente mostra per il macro canale 0 il deterioramento improvviso della funzione di regolazione delle tensioni a 0V: dopo circa 30 min. dall'inizio per le tensioni anodiche e di Catodo e quindi anche delle tensioni di Strip dopo circa 1 ora e 15 min. Infatti con tensioni primarie accese e canale comandato a 0, le tensioni restavano a valori sensibilmente alti e le correnti proporzionalmente definite dal carico applicato.



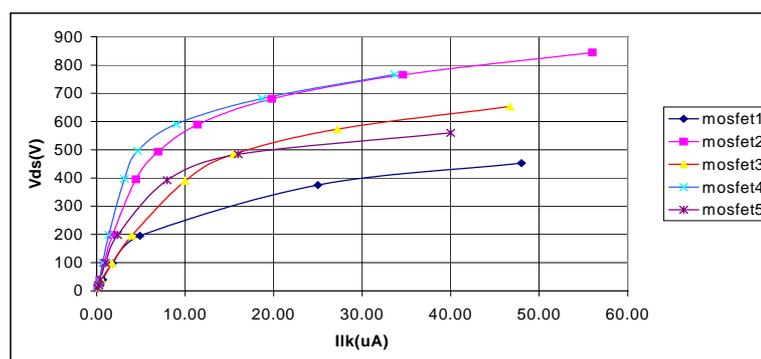
Le correnti di perdita intrinseche di tali dispositivi, misurate preventivamente su ~200 esemplari davano  $50 \text{ nA} \leq I_{\text{leak}} \leq 100 \text{ nA} @ 800 \text{ V}$ , e  $150 \text{ nA} \leq I_{\text{leak}} \leq 200 \text{ nA} @ 1200 \text{ V}$ . Dopo irraggiamento le correnti di perdita di tutti i dispositivi sono state controllate: di 144 esemplari, 28 hanno mostrato il corto circuito tra Gate e Canale, mentre il resto mostrava correnti di perdita di decine di µA.

La figura seguente mostra la caratteristica Tensione / Corrente misurata per 5 dispositivi.

**Fig. 5 Leakage currents versus voltage applied for five VMOS devices**

ilk<sub>n</sub> = leakage current of MOS n ; V<sub>dsn</sub> = drain-source voltage of MOS n

v <sub>in</sub> V	ilk1 μA	V <sub>ds1</sub> V	ilk2 μA	v <sub>ds2</sub> V	ilk3 μA	v <sub>ds3</sub> V	ilk4 μA	v <sub>ds4</sub> V	ilk5 μA	v <sub>ds5</sub> V
10	0.23	9.77	0.11	9.89	0.1	9.9	0.08	9.92	0.12	9.88
20	0.41	19.59	0.21	19.79	0.22	19.78	0.17	19.83	0.23	19.77
40	0.69	39.31	0.35	39.65	0.54	39.46	0.32	39.68	0.41	39.59
100	1.80	98.2	0.85	99.15	1.74	98.26	0.68	99.32	1	99
200	4.90	195.1	1.8	198.2	4	196	1.38	198.62	2.37	197.63
400	25.00	375	4.45	395.55	10	390	3.15	396.85	7.97	392.03
500	48.00	452	6.95	493.05	15.5	484.5	4.64	495.36	16	484
600			11.4	588.6	27.23	572.77	9.01	590.99	40	560
700			19.8	680.2	46.7	653.3	18.7	681.3		
800			34.6	765.4			33.7	766.3		
900			56	844						



Tenendo presente che il valore del partitore di tensione in uscita ai canali è di 100 MΩ, un tale aumento della corrente di perdita causa una caduta di tensione ai suoi capi tale da inibire la funzione di regolazione dei canali.

Si è quindi deciso di approntare un modulo dotato della necessaria elettronica di controllo e monitor, equipaggiato con alcuni canali di regolazione, in tre diverse soluzioni prototipali:

1. DC-DC converter con celle Cocroft-Walton
2. IGBT al posto di VMOS
3. HV npn Transistor al posto di VMOS

Si prevede di poter accedere ad un periodo di test con protoni da 60 MeV presso la facility CYCLONE – UCL a Louvain la Neuve in ottobre 2000 al fine di selezionare la soluzione con cui poi equipaggiare un intero modulo periferico da sottoporre poi ad un analogo test completo.

La necessità di ripetere il test di resistenza a radiazione del modulo contenente le tre soluzioni proposte, per selezionare quella ottimale, e successivamente sulla scheda prototipale costruita con la soluzione prescelta, fa prevedere un ritardo nello sviluppo del progetto, al momento non quantificabile con precisione ma dell'ordine di alcuni mesi.

E' altamente improbabile che si concretizzi il rischio che nessuna delle tre soluzioni sia adottabile. Almeno la prima, che è costituita da diodi a piccola sezione d'urto ed altri componenti passivi, si rivelerà certamente adeguata. Se anche la terza, come prevedibile, si rivelerà sufficientemente resistente, le modifiche da apportare alla scheda già costruita e testata saranno assolutamente marginali.

### Applicazione per il rivelatore a microstrip in gas ( MSGC)

In attuazione del programma definito nel rapporto di attività del 1° anno, ad inizio 2000 è stato consegnato un sistema SY1527 più una scheda a 12 canali 3.5 kV, mentre è prevista la consegna entro luglio 2000 di una scheda prototipale a 600 V. I test finora compiuti hanno dato risultati conformi alle specifiche per le applicazioni MSGC.

Si darà successivamente corso all'ingegnerizzazione di altre due schede rispettivamente da 16 canali 3.5kV e 16 canali 600 volt, completando in tal modo entro il 2000 il programma iniziale di sviluppo di due moduli a complessivi 28 canali ciascuno.

A seguito della decisione dell'esperimento CMS di non adottare il rivelatore MSGC , vengono a mancare sia il supporto CERN per lo sviluppo dell' ibrido finale con supporto in Kapton e in tecnologia rad-hard, sia la possibilità di testare un'eventuale preserie su un campione significativo di rivelatori finali in condizioni operative. Appare quindi opportuno rinunciare ad ulteriori sviluppi importanti, e alla produzione della preserie.

Ricordiamo tuttavia che la scelta di sviluppare sistemi di alimentazione per due distinti rivelatori, camere a deriva per muoni e MSGC, era stata fatta per permettere di provare sul campo la flessibilità del del Sistema Primario. La decisione sopra citata, pur esterna al progetto, di fatto annulla la validità dell'applicazione MSGC come banco di prova, venendo a mancare sia i dispositivi finali, sia la comunità di esperti nel rivelatore in grado di operare collaudi sul campo.

Il comitato paritetico di coordinamento, preso atto di tali difficoltà, con l'obiettivo di salvaguardare l'impostazione originale del Programma e gli investimenti già fatti, ha deciso di impiegare una modesta quota di finanziamento in uno sviluppo limitato che renda possibile il test del sistema su un secondo rivelatore in condizioni operative, in aggiunta ai test con i rivelatori di muoni.

La scelta si è orientata in modo naturale sui rivelatori a microstrip su Silicio che sono recentemente diventati competitivi anche in termini di costo unitario e di fatto sostituiranno le MSGC nell'esperimento CMS.

In consultazione con il dr. Parrini della sezione INFN di Firenze che cura lo sviluppo e l'applicazione dei rivelatori al Silicio nel rivelatore centrale dell'esperimento CMS, la ditta CAEN (vedi documento tecnico "Sistema di alimentazione per il tracker di Silicio – esperimento CMS"). ha proposto uno sviluppo limitato così composto:

- 1 MF SY2527
- 1 Interfaccia per SY2527
- 1 scheda PSM con 2 PSU
- 1 Prototipo di Chassis per PSM

L'impegno stimato sarebbe di circa 100 Mlit.+IVA.

Il comitato paritetico di coordinamento, analizzato il documento tecnico, considerato che l'impegno finanziario per lo sviluppo rappresenta meno del 10% delle risorse impegnate in questo capitolo e riconosciuta l'importanza di tale sviluppo per le finalità del progetto Alte Tensioni, ha deciso di avviare immediatamente l'attività proposta.

Le attività e i risultati inerenti saranno trattati nel consuntivo scientifico del terzo anno.

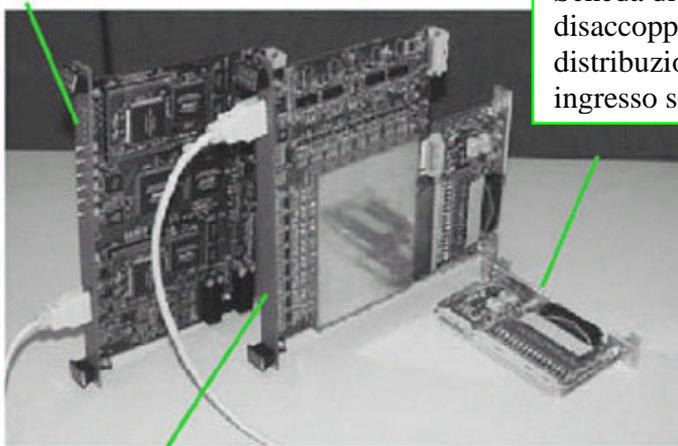
### Sviluppo dell'elettronica di lettura per una camera a proiezione temporale ad argon liquido (ICARUS) (Ditta CAEN SpA)

Come descritto nel consuntivo del primo anno, a giugno del 1999 era già iniziata la produzione delle schede di elettronica del rivelatore ICARUS, comprendenti amplificatore di front-end, riduttore dei dati digitale e buffer di memoria circolare a dimensione dinamica. Nel corso del secondo anno la produzione della preserie prevista nel programma è stata completata. Le due figure sottostanti mostrano tre delle schede sviluppate ed un rack completo

Il progetto ha rispettato tutte le premesse specificate nel precedente consuntivo scientifico. A riprova di ciò va ricordato che il primo semimodulo di Icarus ha funzionato a Pavia per circa 100 giorni, producendo una gran mole di dati di raggi cosmici. Questa presa dati permetterà una completa calibrazione dell'apparato, e ha dimostrato il perfetto funzionamento della catena elettronica sviluppata nell'ambito del progetto del 5%

Si può quindi certamente affermare che il tema di ricerca relativo allo sviluppo dell'elettronica di Icarus, svolto in collaborazione con la ditta CAEN SpA, ha avuto regolare conclusione con il conseguimento, nei tempi previsti, degli obbiettivi di progetto.

Scheda CAEN - V789 :  
2 VLSI Daedalus con 16 canali di  
input + buffer di memoria + output  
dei dati su bus VME



Scheda di  
disaccoppiamento:  
distribuzione HV e  
ingresso segnali

Scheda CAEN - V791:  
32 pre-amplificatori + 4 multiplexer (8:1) +  
4 FADC (10 bit, 20 MHz)

